

## Column addressing circuit for a matrix display

**Patent number:** EP0488851  
**Publication date:** 1992-06-03  
**Inventor:** HEPP BERNARD (FR); MOUREY BRUNO (FR)  
**Applicant:** THOMSON LCD (FR)  
**Classification:**  
 - International: G09G3/36  
 - european: G09G3/36C14A  
**Application number:** EP19910403104 19911119  
**Priority number(s):** FR19900014784 19901127

Also published as:

JP6118903 (A)  
 FR2669761 (A1)

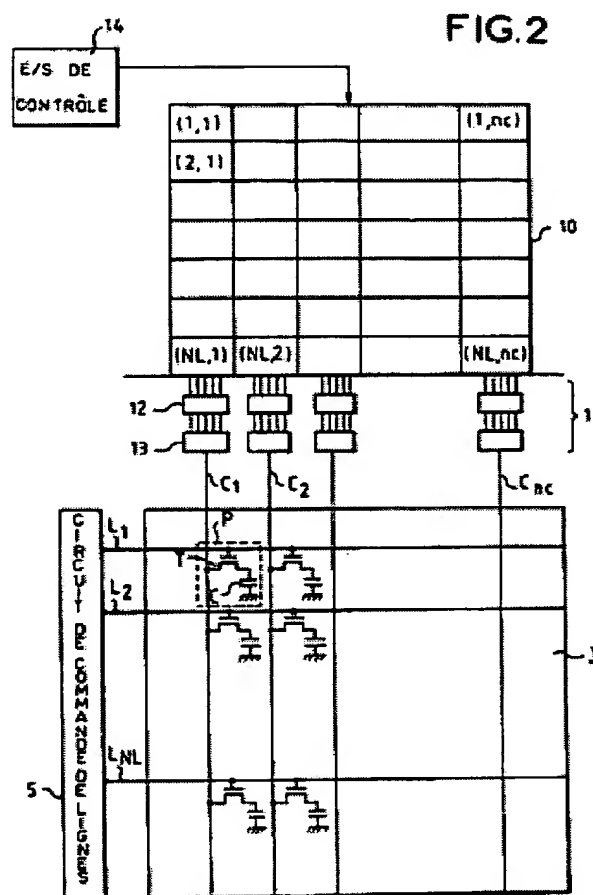
Cited documents:

EP0391655

Report a data error here

### Abstract of EP0488851

The present invention relates to a column addressing circuit for a matrix display comprising NL lines and nc columns. This circuit is constituted by at least one RAM memory (10) organised into NL lines of nc blocks of m bits making it possible to store the data corresponding to a display and linked, at its output, to an output circuit (11) with nc stages and nc outputs directly controlling the nc columns of the active matrix display (1). Application especially to liquid crystal displays.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



Numéro de publication : 0 488 851 A1

(12)

## DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt : 91403104.2

(51) Int. Cl.<sup>5</sup> : G09G 3/36

(22) Date de dépôt : 19.11.91

(30) Priorité : 27.11.90 FR 9014784

(43) Date de publication de la demande :  
03.06.92 Bulletin 92/23

(84) Etats contractants désignés :  
DE FR GB NL

(71) Demandeur : THOMSON-LCD  
51, Esplanade du Général de Gaulle  
F-92800 Puteaux (FR)

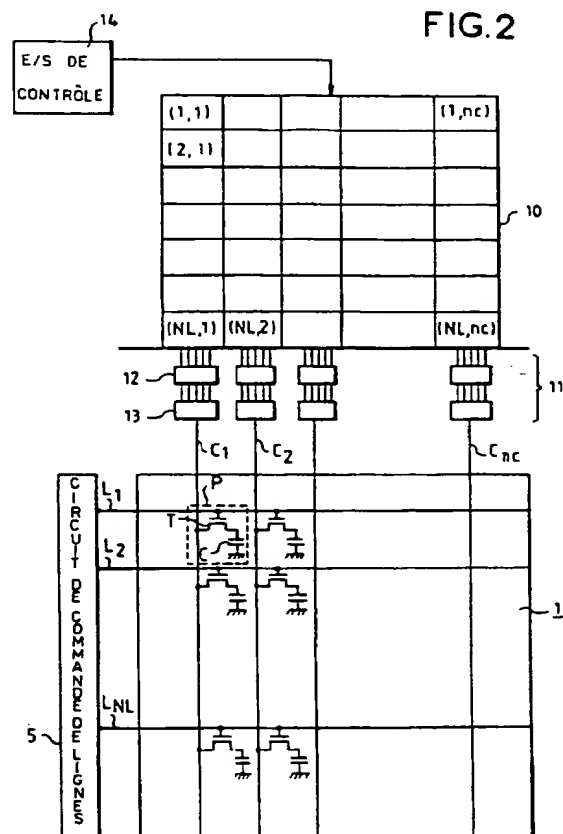
(72) Inventeur : Hepp, Bernard  
THOMSON-CSF, SCPI, Cédex 67  
F-92045 Paris la Défense (FR)  
Inventeur : Mourey, Bruno  
THOMSON-CSF, SCPI, Cédex 67  
F-92045 Paris la Défense (FR)

(74) Mandataire : Ruellan-Lemonnier, Brigitte et al  
THOMSON-CSF SCPI  
F-92045 PARIS LA DEFENSE CEDEX 67 (FR)

(54) Circuit d'adressage des colonnes d'un écran matriciel.

(57) La présente invention concerne un circuit d'adressage des colonnes d'un écran matriciel comportant NL lignes et nc colonnes. Ce circuit est constitué par au moins une mémoire RAM (10) organisée en NL lignes de nc blocs de m bits permettant de stocker les informations correspondant à un écran et reliée en sortie à un circuit de sortie (11) à nc étages et nc sorties commandant directement les nc colonnes de l'écran à matrice active (1).

Application notamment aux écrans à cristaux liquides.



EP 0 488 851 A1

Jouve, 18, rue Saint-Denis, 75001 PARIS

BEST AVAILABLE COPY

La présente invention concerne un circuit d'adressage des colonnes d'un écran matriciel.

La présente invention sera décrite en se référant plus particulièrement à un écran plat à matrice active dans lequel chaque point-image défini à l'intersection de deux réseaux de conducteurs orthogonaux appelés lignes et colonnes comportent un transistor de commande monté en série avec un condensateur réalisé par un élément électro-optique tel qu'un cristal liquide. Toutefois, il est évident pour l'homme de l'art que la présente invention peut s'appliquer à d'autres types d'écrans matriciels, notamment des écrans dans lesquels l'élément de commutation reliant le condensateur aux lignes et aux colonnes est constitué par des diodes ou éléments similaires ou d'autres types d'écrans bien connus de l'homme de l'art.

Comme représenté sur la figure 1, un tel écran plat à matrice active est constitué par deux réseaux orthogonaux de lignes  $L_1, L_2, \dots, L_{NL}$  et de colonnes  $C_1, C_2, \dots, C_{nc}$ . A l'intersection de chaque ligne et de chaque colonne est connecté un point-image P formé d'un élément actif de commutation, à savoir un transistor T dans le présent cas, relié en série à un condensateur C. Le condensateur C est constitué par un élément électro-optique tel qu'un cristal liquide. En fait, un cristal liquide est équivalent à un condensateur en parallèle avec une résistance de fuite, l'ensemble donnant un effet mémoire. Toutefois, cette résistance n'a pas été représentée car elle n'a aucun rôle dans la présente invention. Comme représenté sur la figure 1, les lignes  $L_1, L_2, L_3, \dots, L_{NL}$  de l'écran 1 sont connectées à un circuit 5 de commande des lignes qui envoie séquentiellement sur chaque ligne une impulsion de commande commandant les grilles des transistors T de manière à les rendre passants. D'autre part, les colonnes  $C_1, C_2, \dots, C_{nc}$  de l'écran 1 sont connectées à un circuit 4 de commande des colonnes envoyant en parallèle sur les points-image de la ligne sélectionnée une tension correspondant à l'information à afficher sur l'écran 1. Actuellement, dans un grand nombre d'applications, les images destinées à être affichées sur un écran plat à cristal liquide sont tout d'abord stockées dans une mémoire d'image 2. Les informations correspondant à un point image sont stockées dans la mémoire d'image sous forme numérique, en étant codées sur m bits, m représentant le nombre de bits permettant de donner une teinte de gris à l'information affichée sur l'écran à cristal liquide. Comme représenté sur la figure 1, les informations stockées dans la mémoire d'image sont transmises en parallèle dans un registre à décalage 3 qui effectue une conversion série-parallèle de manière à envoyer lesdites informations vers le circuit 4 de commande des colonnes où l'on effectue à nouveau une transformation parallèle-série soit par échantillonnage, soit en utilisant un registre à décalage série-parallèle. La liaison entre le registre à décalage et le circuit de commande des colonnes est

en générale une liaison-série. Eventuellement, cette liaison pourrait être une liaison parallèle si le nombre de points transmis en parallèle est faible, c'est-à-dire, de préférence, inférieur à 16. Ce type de circuit d'adressage comporte un certain nombre d'inconvénients notamment au niveau de la fréquence de fonctionnement du circuit 4 de commande des colonnes. En effet, plus le nombre de points d'un écran à cristal liquide est important, plus la fréquence des circuits de commande des colonnes doit être élevée pour répondre aux normes concernant la fréquence de rafraîchissement.

La présente invention a pour but de remédier à ces inconvénients en proposant un nouveau circuit d'adressage des colonnes d'un écran matriciel dans lequel on évite les transmissions séries des informations entre les circuits.

En conséquence, la présente invention a pour objet un circuit d'adressage des colonnes d'un écran matriciel comportant NL lignes et nc colonnes, caractérisé en ce qu'il est constitué par au moins une mémoire RAM organisée en NL lignes de nc blocs de m bits permettant de stocker les informations correspondant à un écran et reliée en sortie à un circuit de sortie à nc étages et nc sorties commandant directement les nc colonnes de l'écran à matrice active.

Selon un mode de réalisation préférentiel, chaque étage du circuit de sortie comporte un circuit de verrouillage pour m bits et un convertisseur numérique-analogique convertissant les m bits en une information analogique.

Selon une variante de réalisation, le circuit d'adressage et l'écran matriciel sont intégrés sur un même substrat. Ceci est facilement réalisable en utilisant une technologie couche-mince.

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description faite ci-après d'un mode de réalisation préférentiel, cette description étant faite avec référence aux dessins ci-annexés dans lesquels :

- la figure 1 déjà décrite est un schéma synoptique simplifié d'un écran plat à matrice active muni d'un circuit d'adressage des colonnes conforme à l'art antérieur, et
- la figure 2 est un schéma synoptique simplifié d'un écran plat à matrice active muni d'un circuit d'adressage des colonnes conforme à la présente invention.

Pour simplifier la description, dans les figures les mêmes éléments, notamment les éléments constituant l'écran plat, portent les mêmes références.

L'écran 1 à matrice active représenté sur la figure 2 est identique à l'écran 1 représenté sur la figure 1. C'est un écran dans lequel l'élément de commutation connectant le cristal liquide symbolisé par le condensateur C, aux réseaux de lignes et de colonnes, est constitué par un transistor T réalisé en couche mince. La grille du transistor T est reliée à une ligne tandis

qu'une des électrodes est reliée à une colonne, l'autre électrode étant reliée à une des électrodes du condensateur C. Comme représenté sur la figure 2, et conformément à la présente invention, le circuit d'adressage des colonnes  $C_1, C_2, \dots, C_{nc}$  de l'écran 1 est constitué essentiellement par au moins une mémoire vive 10, de préférence une mémoire vidéo RAM. En pratique, la mémoire sera réalisée par l'association de plusieurs mémoires vidéo RAM en fonction de la capacité souhaitée. Cette mémoire permet de stocker  $NL \times nc \times m$  bits. De préférence, elle est divisée en lignes de  $nc$  blocs de  $m$  bits,  $m$  représentant le nombre de bits nécessaires pour coder les différentes teintes de gris. Dans le présent cas, on a symbolisé 5 bits pour le codage des teintes de gris. Chaque ligne comporte  $nc$  blocs et la mémoire comporte  $NL$  lignes. Les  $nc$  blocs de sortie de la mémoire sont reliés à un circuit de sortie 11 comportant  $nc$  étages qui commande directement les  $nc$  colonnes de l'écran 1. De manière plus spécifique, le circuit de sortie 11 comporte  $nc$  circuits de verrouillage 12 stockant chacun temporairement les  $m$  bits d'une colonne. Ces circuits de verrouillage sont connectés chacun à un convertisseur numérique-analogique 13 transformant les  $m$  bits en une tension analogique correspondant à une teinte le gris et chargeant le point image de la ligne adressée. De préférence, chaque convertisseur numérique réalise aussi une inversion de la tension de sortie à chaque trame. Cette inversion de tension permet un bon fonctionnement du cristal liquide et est connue de l'homme de l'art.

De plus, comme représenté sur la figure 2, la mémoire 10 est contrôlée de manière connue par un circuit d'entrée/sortie de contrôle 14. La séquence de signaux de ce circuit de contrôle 14 permet, en particulier, de transférer les informations de n'importe laquelle des lignes  $i$  ( $i$  entre 1 et  $NL$ ) vers le circuit de sortie 11 de manière globale, comme c'est utilisé dans certaines mémoires vidéo RAM.

Avec le circuit ci-dessus, les informations à afficher sur l'écran à cristal liquide, par exemple des trames vidéo dans le cas où l'écran à cristal liquide est utilisé pour l'affichage d'images de télévision ou d'images graphiques, sont stockées ligne par ligne dans la mémoire 10 et sont transmises en parallèle ligne par ligne sur l'écran 1. Il n'est plus nécessaire d'avoir une transformation parallèle-série et série-parallèle, ceci permet de diminuer la fréquence de fonctionnement des divers circuits.

de  $nc$  blocs de  $m$  bits permettant de stocker les informations correspondant à un écran et reliée en sortie à un circuit de sortie (11) à  $nc$  étages et  $nc$  sorties commandant directement les  $nc$  colonnes de l'écran à matrice active (1).

2. Circuit selon la revendication 1, caractérisé en ce que chaque étage du circuit de sortie comporte un circuit de verrouillage (12) pour  $m$  bits et un convertisseur numérique-analogique (13) transformant les  $m$  bits en une information analogique.
3. Circuit selon la revendication 2, caractérisé en ce que chaque convertisseur numérique-analogique (13) réalise la fonction inversion de tension.
4. Circuit selon la revendication 1, caractérisé en ce que la mémoire est une mémoire d'image vidéo.
5. Circuit selon l'une quelconque des revendications 1 à 4, caractérisé en ce que le circuit d'adressage et l'écran plat à matrice active sont intégrés sur un même substrat.
6. Circuit selon la revendication 5, caractérisé en ce qu'il est réalisé en utilisant une technologie couche mince.

## Revendications

1. Circuit d'adressage des colonnes d'un écran matriciel comportant  $NL$  lignes et  $nc$  colonnes, caractérisé en ce qu'il est constitué par au moins une mémoire RAM (10) organisée en  $NL$  lignes

FIG.1

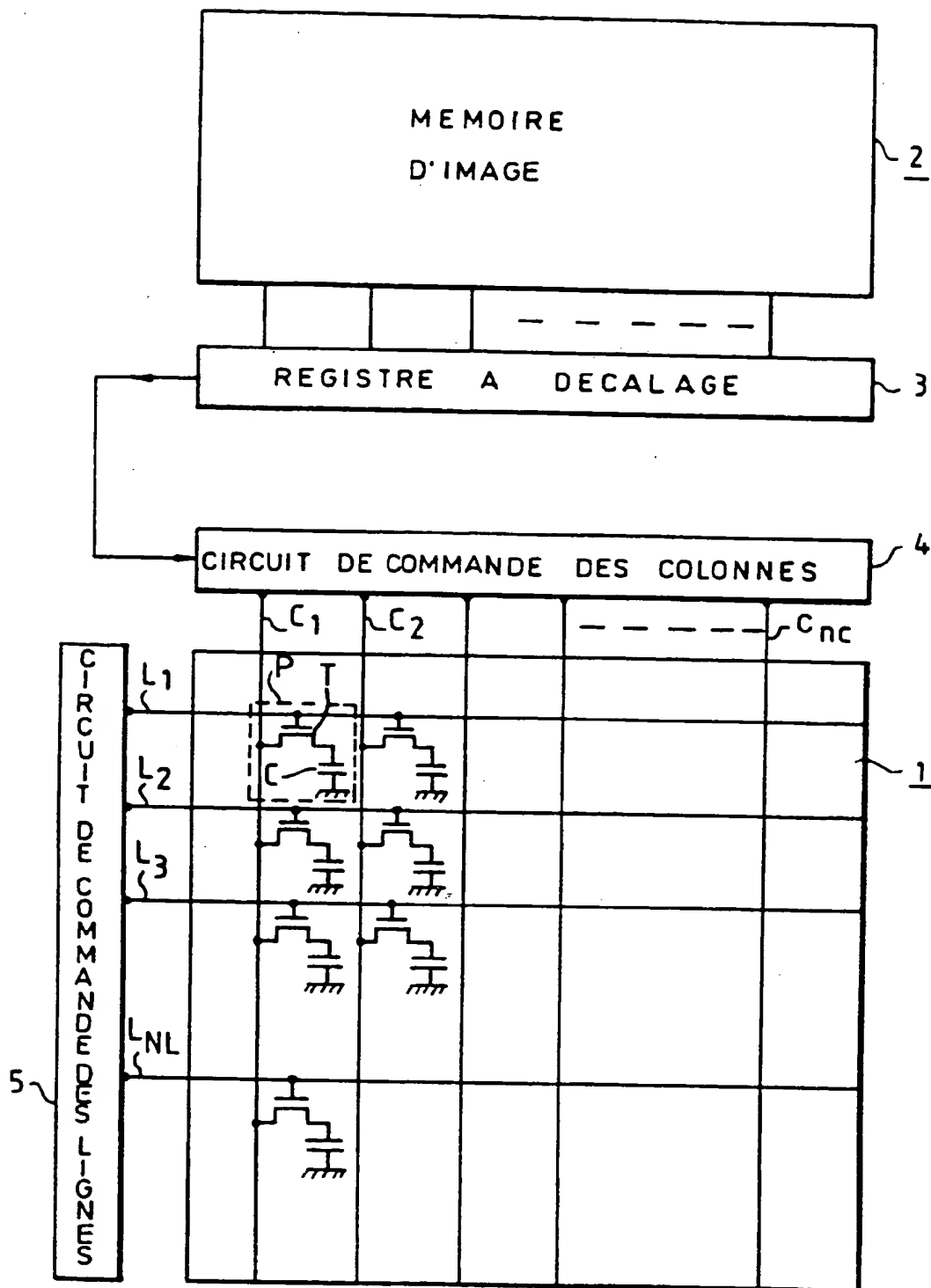
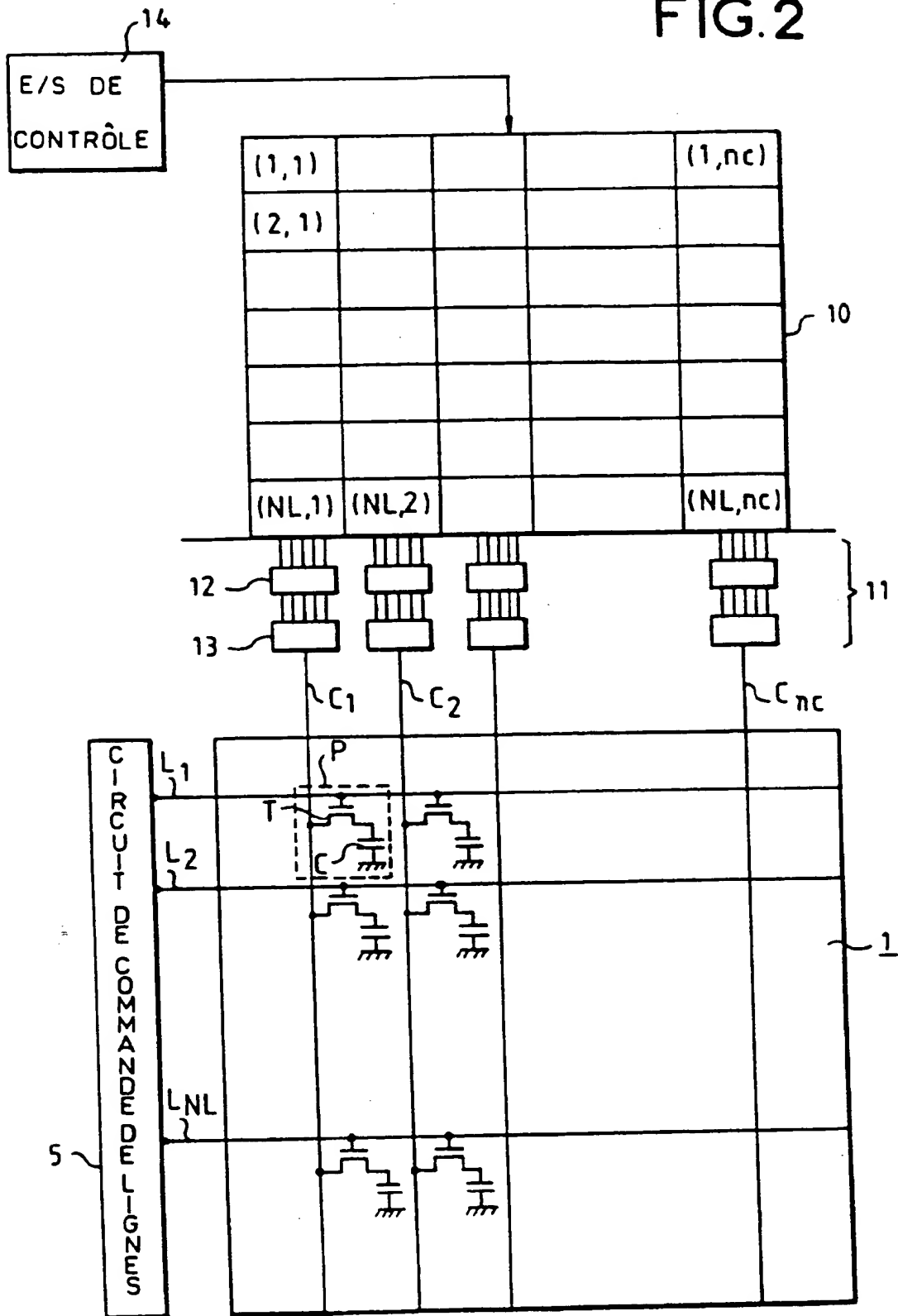


FIG. 2



Office européen  
des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande

EP 91 40 3104

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
A	EP-A-0 391 655 (SHARP KABUSHIKI KAISHA) * abrégé; figures 1-4 * * page 6, ligne 50 - page 7, ligne 53 * ---	1-3, 6	G09G3/36
A	CONFERENCE RECORD OF THE 1988 INTERNATIONAL DISPLAY RESEARCH CONFERENCE, 4-6 OCT. 1988 JUN-ICHI OHMADA ET AL.; PERIPHERAL CIRCUIT INTEGRATED POLY-SI TFT LCD WITH GRAY SCALE α REPRESENTATION - P.215-219 * page 215, colonne 1, ligne 1 - page 215, colonne 1, ligne 23; figures 1,2 * -----	5, 6	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
			G09G H04N
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 26 FEVRIER 1992	Examinateur VAN ROOST L. L. A.
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons Δ : membre de la même famille, document correspondant</p>			

EPO FORM 1503 (01.82) (P0402)